

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP408213317A  
DOCUMENT-IDENTIFIER: JP 08213317 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF  
PUBN-DATE: August 20, 1996

INVENTOR-INFORMATION:  
NAME  
YAMAZAKI, SHUNPEI  
OTANI, HISASHI  
MIYANAGA, SHOJI  
TERAMOTO, SATOSHI

ASSIGNEE-INFORMATION:  
NAME SEMICONDUCTOR ENERGY LAB CO LTD COUNTRY  
N/A

APPL-NO: JP07274746  
APPL-DATE: September 28, 1995

INT-CL (IPC): H01L021/20, G02F001/136 , H01L027/12 ,  
H01L029/786 , H01L021/336

ABSTRACT:

PURPOSE: To manufacture a thin-film transistor using a  
crystalline silicon  
film formed on a glass substrate.

CONSTITUTION: An amorphous silicon film is selectively  
crystallized by the  
catalyst action of nickel in the heating step at 550°C for 4  
hours to form  
insular regions 105 by a patterning step. Next, after providing  
a gate  
insulating film 408 and a gate electrode 407, impurity ions are  
implanted in  
the insular regions 105 to form source/drain regions.  
Resultantly, the regions  
203 excluding the crystalline regions 202 are made amorphous.  
By heat-treating

the whole body at the temperature exceeding 400&deg;C, the nickel contained in the crystallized region 202 is diffused in the amorphous regions 203 thereby enabling the nickel concentration in the channel forming regions to be reduced.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213317

(43) 公開日 平成8年(1996)8月20日

(51) IntCl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20				
G 0 2 F 1/136	5 0 0			
H 0 1 L 27/12		R		
29/786				

H 0 1 L 29/ 78 6 2 7 G

審査請求 未請求 請求項の数10 F D (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-274746

(22) 出願日 平成7年(1995)9月28日

(31) 優先権主張番号 特願平6-261171

(32) 優先日 平6(1994)9月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 宮永 昭治

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

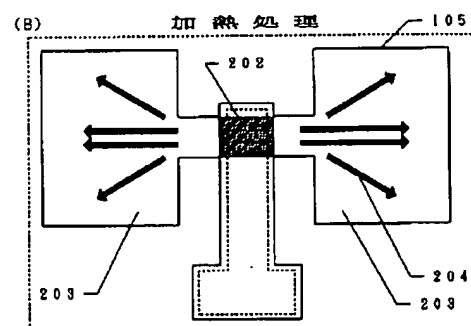
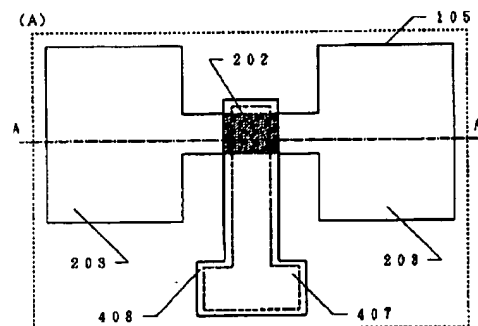
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 ガラス基板上に形成された結晶性珪素膜を用いて、薄膜トランジスタを作製する。

【構成】 550℃、4時間の加熱によって、ニッケルの触媒作用により非晶質珪素膜を選択的に結晶化して、パターンニングして島状領域105を形成する。ゲイト絶縁膜、ゲイト電極407を設けた後に、ソース/ドレイン領域を形成するために不純物イオンを島状領域105に注入する。この結果、結晶化された領域202以外の領域203は非晶質化される。この状態で400℃以上の加熱処理を行うことによって、結晶化された領域202に含まれているニッケルが、非晶質化された領域203へと拡散するため、チャネル形成領域中のニッケル濃度が低下される。



1

## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に非晶質の領域と結晶性を有する領域とを有する珪素膜を形成する工程と、加熱処理を施す工程と、

を有し、

前記結晶性を有する領域には、珪素の結晶化を助長する金属元素が含まれており、前記加熱処理によって、前記金属元素を前記結晶性を有する領域から前記非晶質の領域に拡散させることを特徴とする半導体装置の作製方法。

【請求項2】絶縁表面を有する基板上に非晶質の領域と結晶性を有する領域とを有する珪素膜を形成する工程と、加熱処理を施す工程と、

を有し、

前記結晶性を有する領域には、珪素の結晶化を助長する金属元素が含まれており、前記加熱処理によって、前記金属元素を前記結晶性を有する領域から前記非晶質の領域に吸い出させることを特徴とする半導体装置の作製方法。

【請求項3】請求項1または請求項2において、前記金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられることを特徴とする半導体装置の作製方法。

【請求項4】請求項1または請求項2において、前記金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられ、前記結晶性を有する領域中には前記金属元素が $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の濃度で含まれていることを特徴とする半導体装置の作製方法。

【請求項5】請求項1または請求項2において、前記結晶性を有する領域は、前記基板に平行な方向に結晶成長していることを特徴とする半導体装置の作製方法。

【請求項6】ソース領域とドレイン領域とチャネル形成領域とを少なくとも有する活性層と、

該活性層上に形成されたゲイト絶縁膜と、

該ゲイト絶縁膜上に形成されたゲイト電極と、

を有し、

前記活性層中には珪素の結晶化を助長する金属元素が含まれており、前記チャネル形成領域中の前記金属元素の平均濃度は、前記ソース領域および前記ドレイン領域中における前記金属元素の平均濃度と比較して同程度またはそれより低いことを特徴とする半導体装置。

【請求項7】請求項6において、前記金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素

2

が用いられることを特徴とする半導体装置。

【請求項8】請求項6において、前記金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられ、前記チャネル形成領域中における前記金属元素の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、前記ソース領域と前記ドレイン領域中における前記金属元素の濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であることを特徴とする半導体装置。

【請求項9】請求項6において、少なくとも前記チャネル形成領域は、前記基板に平行な方向に結晶成長した領域を用いて構成されていることを特徴とする半導体装置。

【請求項10】結晶性を有する珪素半導体膜を珪素の結晶化を助長する金属元素の作用により形成する工程と、前記結晶性珪素膜の一部を非晶質化する工程と、加熱処理を施し前記非晶質化した一部の領域に前記金属元素を吸い取らせる工程と、を有することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本明細書で開示する発明は、薄膜トランジスタ等の半導体装置およびその作製方法に関する。

【0002】

【従来の技術】近年、液晶デバイスに薄膜トランジスタを用いる構成が注目されている。これは、アクティブマトリクス型の液晶表示装置といわれるもので、マトリクス状に配置された数百万以上の各画素に薄膜トランジスタをそれぞれ配置し、各画素に保持する電荷を薄膜トランジスタによって制御することを特徴とする。このアクティブマトリクス型の液晶表示装置は、高速度で微細な表示が可能であるので、携帯型のワードプロセッサやコンピュータのディスプレイに利用されている。

【0003】一般に、アクティブマトリクス型の液晶表示装置において、各画素に配置される薄膜トランジスタをプラズマCVD法で形成された非晶質珪素膜で構成し、これら非晶質珪素の薄膜トランジスタを駆動するための周辺回路を外付けのICで構成している。

【0004】

【発明が解決しようとする課題】しかしながら、従来例では、周辺駆動回路を外付けのICで構成しているため、装置の小型化、軽量化を図ることが困難である。周辺駆動回路を外付けのICで構成しているのは、非晶質珪素膜を用いた薄膜トランジスタでは、その動作速度の遅さから周辺駆動回路に必要とされる動作を行わすことができないからである。さらに、周辺駆動回路は一般にCMOS回路で構成されるが、非晶質珪素膜で構成したPチャネル型の薄膜トランジスタは、その特性がNチャネル型に比較して極めて低いので、CMOS回路が構成

できないことも原因の一つである。

【0005】アクティブマトリクス型の液晶表示装置に非晶質珪素膜を用いた薄膜トランジスタが利用されているのは、ガラス基板の耐熱性の問題があるからである。一般に液晶表示装置は、基板として透光性を有するものを用いる必要があるため、基板の材質が限定されてしまう。一般に、透光性を有し、安価で、かつ大面積なものが得られるという条件を満足する材料はガラスしかない。

【0006】しかしながら、ガラス基板は600℃以上の温度で加熱すると、反りや縮みが顕著になるため、基板温度が600℃以上になるプロセスを採用することができない。例えば、アクティブマトリクス型の液晶ディスプレイの基板として一般的に利用されているコーニング7059ガラス基板は、ガラス歪点が593℃であり、その温度以上で加熱処理を加えると、基板の反りや縮みが大きくなり、実用にならない。

【0007】非晶質珪素膜はプラズマCVD法で容易に大面積に、かつ低温(400℃以下)で成膜することができる。従って、従来の技術においては、ガラス基板を用いた場合、使用される薄膜トランジスタの半導体部分は非晶質珪素膜で構成されることになってしまう。

【0008】また、一部で基板として石英基板を用いたアクティブマトリクス型の液晶表示装置も知られている。この場合、800℃あるいは900℃以上の温度で加熱処理を行うことができるため、結晶性珪素薄膜を用いて薄膜トランジスタを作製することができる。非晶質珪素膜で構成された薄膜トランジスタと比較して、結晶性珪素膜で構成された薄膜トランジスタは桁違いの高速動作をさせることができる。また、結晶性珪素膜で構成された薄膜トランジスタは、CMOS回路を作製することができるため、周辺駆動回路をも同一基板(この場合は石英基板)上に配置させることができる。従って、石英基板を使用することにより、液晶表示装置の性能を向上することが可能になり、より微細な表示、高速な表示が可能になる。また、液晶表示装置全体を小型化、軽量化することも可能になる。しかしながら、石英基板はガラス基板の価格の10倍以上もする大変高価なものであり、経済性の観点から採用することができない。

【0009】本発明の目的は、上述の問題点を解消して、ガラス基板に作製された結晶性珪素膜を有する薄膜トランジスタ等の半導体装置の作製方法を提供することにある。即ち、600℃以下の温度で結晶性珪素膜をガラス基板上に形成し、この結晶性珪素膜を用いて薄膜トランジスタを得る技術を提供することにある。また、安定した動作を行う薄膜トランジスタ等の半導体装置を提供することを他の目的とする。

【0010】

【課題を解決するための手段】上述の問題点を解消するために、本発明に係る半導体装置の作製方法の構成は、

絶縁表面を有する基板上に非晶質の領域と結晶性を有する領域とを有する珪素膜を形成する工程と、加熱処理を施す工程と、を有し、前記結晶性を有する領域には、珪素の結晶化を助長する金属元素が含まれており、前記加熱処理によって、前記金属元素を前記結晶性を有する領域から非晶質の領域に拡散させることを特徴とする。

【0011】上記構成において、絶縁表面を有する基板としては、ガラス基板、石英基板、絶縁膜が形成されたガラス基板や石英基板を挙げることができる。特に本明細書で開示する発明は、基板としてガラス基板を用いた場合に有用である。

【0012】「非晶質の領域と結晶性を有する領域とを有する珪素膜を形成する工程」には、珪素の結晶化を助長する金属元素を選択的に非晶質珪素膜に導入し、450～600℃程度の加熱温度で加熱処理を加える工程を挙げることができる。この場合、金属元素が導入された領域または金属元素が導入された領域とその周辺を選択的に結晶化させることができる。この加熱温度の上限は基板の耐熱温度、即ち歪点で制限される。例えば、ガラス基板を使用した場合には、加熱温度は550℃程度の温度とすることが、ガラス基板の耐熱性や生産性の面から適当である。また、石英基板等の1000℃以上の温度にも耐え得るような材料を基板に用いた場合には、この加熱温度も耐熱温度に伴って高くすることができる。

【0013】珪素の結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素を用いることができる。これらの金属元素の中で特にその効果が顕著に得られるのはニッケル(Ni)である。

【0014】金属元素を非晶質珪素膜に導入するには、金属元素の薄膜をスパッタ法やCVD法や蒸着法で非晶質珪素膜上に物理的に形成する方法と、金属元素を含んだ溶液を非晶質珪素膜上に塗布する方法とを挙げることができる。物理的な形成方法は、極薄い膜を均一に形成することが困難である。そのため、金属元素が非晶質珪素膜上に均一に接することができないので、結晶成長の際に金属元素が偏在し易い。他方、溶液を用いる方法は金属元素の濃度を容易に制御することができ、かつ金属元素を非晶質珪素膜の表面に均一に接して保持させることができる。従って、金属元素を非晶質珪素膜に導入する方法としては、物理的に金属膜を形成する方法よりも、溶液を用いる方法がより好適である。

【0015】加熱処理により珪素を結晶化させるためには、金属元素は $1 \times 10^{16} \text{ cm}^{-3}$ 以上の濃度で非晶質珪素膜中に含ませることが必要である。しかし、非晶質珪素膜中に、金属元素を $5 \times 10^{19} \text{ cm}^{-3}$ 以上の濃度で含ませた場合には、膜中にシリサイドが形成されてしまうので好ましくない。このため、本発明は、「加熱処理によって、前記結晶性を有する領域から前記金属元素を非

品質の領域に拡散させる（或いは吸い取らせる）」ことによって、結晶性を有する領域の金属元素濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 以下とする。

【0016】金属元素を拡散させるためには、加熱温度は $400^\circ\text{C}$ 以上（上限は基板の耐熱温度、ガラス基板であれば歪点で制限される）であればよい。この加熱処理は非晶質の領域が結晶化しない温度（一般的に $450^\circ\text{C}$ 以下）で行う方法と、非晶質の領域が結晶化する温度（一般的に $450^\circ\text{C}$ 以上、好ましくは $500^\circ\text{C}$ 以上）で行う方法とに二分できる。

【0017】非晶質の領域を結晶化させずに加熱処理を行うことで、結晶性の領域中の金属元素を非晶質の領域に拡散させる効果、或いは吸い出させる効果を得ることができる。例えば、加熱温度は $400 \sim 450^\circ\text{C}$ とし、その加熱時間は5分～10時間程度とすればよい。時間をかけて加熱処理を加えることで、結晶性領域中の金属元素の濃度を金属元素が拡散していった非晶質領域の金属元素の濃度よりも低くすることができる。これは非晶質状態では不対結合手が多量に存在しているためである。換言すると、非晶質珪素膜中には金属元素と結合し

【0018】他方、非晶質の領域の結晶化が進行する温度で加熱処理をした場合には、非晶質珪素膜が結晶化した時点で金属元素の拡散が見かけ状停止して、結晶成長の先端部分に金属元素が集中して存在する。本発明は、真性半導体とすべき領域外まで結晶成長の先端部が移動するように加熱処理をして、真性半導体とすべき領域中には金属元素の集中した部分が存在しないようにする。

【0019】本発明に係る半導体装置の構成は、少なくともソース領域とドレイン領域とチャネル形成領域とを有する活性層と、該活性層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を有し、前記活性層中には珪素の結晶化を助長する金属元素が含まれており、前記チャネル形成領域中の前記金属元素の平均濃度は、前記ソース領域およびドレイン領域における金属元素の平均濃度に比較して同程度またはそれより低いことを特徴とする。

【0020】上記構成を有する半導体装置は、活性層において、少なくともチャネル形成領域を金属元素の作用によって形成した結晶性珪素領域とし、その周囲、例えばソース／ドレイン領域やその一部を非晶質珪素領域とする。この状態で、加熱処理を加えることによって、結晶性珪素領域中の金属元素を非晶質領域に吸い出させている（拡散させている）。具体的には、チャネル形成領域中の金属元素の濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができると同時に、ソース領域とドレイン領域にお

ける金属元素の濃度を $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ とすることができる。なお本明細書中における不純物の濃度はSIMS（2次イオン分析方法）で計測された値の最小値で定義されている。

【0021】

【実施例】

〔実施例1〕図1～図5に基づいて、本実施例を説明する。図1～3は薄膜トランジスタの作製工程を説明する上面図であり、図4、図5は作製工程毎の薄膜トランジスタの断面図である。図4（A）に示すように、ガラス基板401上に、下地膜として酸化珪素膜402を $3000 \text{ \AA}$ の厚さにスパッタ法で成膜する。その上に非晶質珪素膜403をプラズマCVD法または減圧熱CVD法で $500 \text{ \AA}$ の厚さに成膜する。

【0022】UV酸化法によって、非晶質珪素膜403の表面に図示しない極薄い酸化膜を形成する。UV酸化法とは、酸素雰囲気または酸化性雰囲気中において、UV光を照射することによって、酸化膜を形成する方法である。ここで酸化膜を形成するのは、後の工程で非晶質珪素膜403上に塗布される溶液の濡れ性を向上させるためである。次に、フォトリソストを用いてマスク404を形成する。レジストのマスク404は紙面に垂直な方向に長手方向を有する矩形の開口部405を有する。この状態で珪素の結晶化を助長する金属元素であるニッケルを含んだ溶液を塗布する。ここではニッケル酢酸塩溶液をスピコート法を用いて塗布する。この結果、図示しない酸化膜を介して、レジストのマスク404の開口部405において、非晶質珪素膜403の表面にニッケルが接して保持された状態が実現される。（図4（A））

【0023】次にレジストのマスク404を取り除き、加熱処理を施す。加熱温度は $450^\circ\text{C} \sim 600^\circ\text{C}$ の範囲とすればよい。ガラス基板を用いる場合には、ガラス基板の縮みや変形を防ぐために、この加熱処理の温度をガラス基板の歪点以下の温度とすることが好ましい。本実施例では、加熱温度を $550^\circ\text{C}$ とし、加熱時間を4時間とする。

【0024】図4（B）に示す状態を上面から見た様子を図1（A）に示す。図1（A）のA-A'で切った断面図が図4（B）に相当する。図1（A）に示すように、点線で示す非晶質の領域100において、レジストのマスク405の開口部405に、ニッケル元素が接して保持されている。 $550^\circ\text{C}$ 、4時間の加熱処理が施されると、矢印102に沿って基板401に平行な方向に結晶が成長して、その結晶成長距離を $10 \mu\text{m} \sim 100 \mu\text{m}$ 以上とすることができる。（図4（B））

【0025】結晶成長を行わせた後、結晶化された珪素膜を図1（B）示すような形状にパターニングして、島状領域105を形成する。図1（B）をB-B'で切った断面図が図4（C）に相当する。島状領域105は薄

膜トランジスタの活性層の元になる。図1(A)に示すように矢印102に沿って選択的に結晶成長が進行したため、領域103は結晶化された領域であり、領域104は非晶質(アモルファス)のままの領域である。

【0026】次に、図4(D)に示すように、ゲイト絶縁膜として機能する酸化珪素膜406を1000Åの厚さにプラズマCVD法で成膜する。さらにアルミニウムを主成分とする膜を6000Åの厚さに成膜して、図2(A)に示すような形状にパターニングして、ゲイト電極407を形成する。なお、図2(A)のA-A'で切った断面図が図4(D)に相当する。

【0027】次に、電解溶液中において、ゲイト電極407を陽極酸化して、ゲイト電極407の周囲に酸化物層408を形成する。この酸化物層408の厚さは2000Å程度とする。この酸化物層408の厚さで後の不純物イオンの注入工程において、オフセットゲイト領域を形成することができる。

【0028】次に、ソース/ドレイン領域を形成するために不純物イオンを島状領域105に注入する。本実施例ではリンイオンを注入する。図4(D)に示すように、斜線で示す領域202において、ゲイト電極407の直下の領域には不純物イオンが注入されず、チャンネル形成領域となり、陽極酸化物層408の直下の領域には、リンイオンが低濃度に注入されるため、オフセットゲイト領域となる。また、結晶化された領域202は不純物イオンによって結晶性が殆ど損なわれない。他方、領域203には不純物イオンが高濃度に注入され、不純物イオンが衝突した衝撃により殆ど非晶質化される。非晶質化された領域203は、後に、ソース/ドレイン領域となる。また結晶化された領域202とその近傍の領域は、図1(B)に示す結晶化された領域103に対応するため、結晶化を助長するために用いられたニッケル元素が存在している。領域202中のニッケル濃度は、ニッケルが最初に導入された開口部405におけるニッケル濃度と比較して、1桁程度低くなっている。他方、非晶質化された領域203は領域104に対応しており、殆どニッケル元素は含まれていない。

【0029】次に、図2(B)に示すように、非晶質珪素が結晶化しない温度、400~450℃で加熱処理する。ここでは450℃の温度で2時間の加熱処理を行う。すると、矢印204で示すように、結晶化された領域202に含まれているニッケル元素が非晶質化された領域203に拡散していく。非晶質化された領域203はニッケルをトラップする欠陥を多量に有しているため、ニッケルが結晶化された領域202から非晶質化された領域203に拡散して(吸い出されて)、最終的に、結晶化された領域202のニッケル濃度を1/2以下とすることができる。この加熱処理工程は450℃以上の温度で行うことはできない。なぜなら、450℃以上の温度で加熱した場合には、アルミニウムを主成分と

するゲイト電極407からアルミニウムが拡散してしまう現象が顕著になるためである。

【0030】次に、図5(B)に示すように、レーザー光を照射して、不純物イオンの注入によって非晶質化された領域203を結晶化すると共に、注入された不純物イオンを活性化する。この結果、ソース領域501、ドレイン領域502、チャンネル形成領域503、オフセットゲイト領域500がそれぞれ形成される。

【0031】そして図5(C)に示すように、層間絶縁膜として酸化珪素膜504を7000Åの厚さに成膜する。さらにコンタクトホール形成を行った後、ソース電極505とドレイン電極506の形成を行う。最後に350℃の水素雰囲気中において熱処理を1時間加えることにより、薄膜トランジスタを完成させる。(図5(C))

【0032】本実施例では、ニッケル元素の触媒作用により、珪素膜を結晶化させるようにしたため、低温で、且つ短時間で、結晶性の優れた珪素膜を得ることができる。さらに、チャンネル形成領域中のニッケル元素をソース/ドレイン領域に拡散させるようにしているため、薄膜トランジスタの特性を損ねることがない。従って、高速動作が可能な結晶性の薄膜トランジスタを得ることができる。

【0033】なお、本実施例では、チャンネル形成領域503中のニッケル元素をソース/ドレイン領域501、502に拡散させるようにしたが、ニッケルを拡散させる領域はなるべく大きな面積とするとよい。これにより、より多くのニッケル元素を拡散させることができる。この場合には、図2(B)に示すように、領域203の断面積をできるだけ広くしておき、加熱処理により、非晶質化された領域203にニッケルが拡散させた後に、図3に示すように、領域203をソース/ドレイン領域301、302の形状にパターニングすればよい。なお、この場合には、珪素膜をエッチングする前に、ゲイト膜として機能している酸化珪素膜406を所定の形状にパターニングする必要がある。

【0034】〔実施例2〕本実施例は、実施例1に示す構成において、ゲイト電極407を珪素または珪素と金属とのシリサイドで構成した場合の例である。この場合、図5(A)における工程で、加熱処理温度を非晶質珪素が結晶化する温度、即ち450℃以上で行うことができる。しかし、この温度はガラス基板の重点以下の温度とすることが必要であり、例えば550℃で加熱すればよい。550℃で加熱すると、図2(B)に示す非晶質化された領域203が結晶化されると共に、その結晶成長の進行方向に沿って、結晶性を有する領域202中のニッケル元素が拡散する。本実施例では、真性半導体とすべきチャンネル形成領域外まで結晶成長の先端部が移動するように加熱処理をして、チャンネル形成領域中に金属元素の集中した部分が存在しないようにする。従っ



て、ニッケル元素は結晶成長の終点、即ち、結晶化された領域203の端部に偏在することになる。

【0035】そのため、図3に示すように、ニッケルが偏在している領域を除去するように、パターニングして、ソース/ドレイン領域301、302を形成するとよい。なお、この場合には、珪素膜をエッチングする前に、ゲイト膜として機能している酸化珪素膜204を所定の形状にパターニングする必要がある。後の工程は、実施例1に示した工程と同様な工程を経て、薄膜トランジスタを完成させる。

【0036】〔実施例3〕本実施例は、珪素の結晶化を助長する金属元素が導入された領域を加熱により結晶成長させて、その領域を用いて薄膜トランジスタを作製する例である。本実施例で示す薄膜トランジスタの作製工程が実施例1に示す薄膜トランジスタの作製工程と異なるのは、金属元素が導入される領域と結晶化が行われる領域との関係、さらには結晶化の形態が異なる点である。

【0037】図6に本実施例に示す薄膜トランジスタを作製するに工程を部分的に示す。本実施例においては、まず、図6(A)に示す斜線の領域601にニッケル元素を導入する。ニッケル元素の導入方法は、実施例1に示すものと同様に、ニッケル酢酸塩溶液を塗布する方法を採用すればよい。しかし、実施例1と比較して、ニッケル酢酸塩溶液中のニッケル濃度は1桁以上小さくしておくことが必要である。これは、実施例1と同様のニッケル濃度のニッケル酢酸塩溶液を用いると、加熱処理によって結晶化させる際に、基板に平行な方向に結晶成長が行われてしまうからである。

【0038】領域601を結晶化させるには、550℃、4時間の加熱処理を行えばよい。こうして、領域601を結晶化させた後に、図6(B)に示すように領域601をパターニングして、ニッケルが導入され、結晶化された領域が薄膜トランジスタの活性層のチャンネル形成の領域103になるようにする。後の工程は実施例1に示したものと同様である。

【0039】〔実施例4〕本実施例は、実施例1に示す工程において、選択的にニッケル元素の導入を行わないで、非晶質珪素膜の全面にニッケル元素を導入することを特徴とする。本実施例においては、図1(A)及び図4(A)に示す工程において、何らマスク(図4の404で示される)を形成しない状態で、非晶質珪素膜403の全面にニッケル酢酸塩溶液を塗布する。

【0040】この状態で、550℃、4時間加熱して、非晶質珪素膜403を結晶化させる。結晶化された珪素膜をパターニングして、図1(B)、図4(C)に示すように島状領域105を形成する。島状領域105全域において、ニッケルの濃度が均一になる。従って、実施例1のような、ニッケル濃度の高い領域からニッケルを含有していない(測定限界以下、あるいは極めて低いレ

ベルという意味)領域へのニッケル元素の拡散作用は期待することができない。

【0041】そのため、本実施例では、ニッケル元素を拡散させる領域を意図的に非晶質化させて、その後に、加熱処理をして、チャンネル形成領域内のニッケル元素を非晶質化させた領域に拡散させるようにしている。

【0042】そこで、図4(D)に示すように、ソース/ドレイン領域の形成を行うために、不純物イオンを注入して、ソース/ドレイン領域となる領域203を非晶質化し、チャンネル形成領域となる領域202を非晶質化しないようにする。図5(A)、図2(B)に示すように加熱処理を行うと、領域202から非晶質化している領域203へとニッケル元素が移動する。これは、非晶質珪素膜中の方が結晶性珪素膜中の方より、ニッケルをトラップするための欠陥や不對結合手が多数存在しており、加熱処理を加えることによって、これらの非晶質珪素膜中の欠陥や不對結合手に、ニッケル元素が徐々にトラップされていくからである。即ち、見かけ上は領域202からイオン注入によって非晶質化した領域203にニッケル元素が吸い出されていく現象、或いは拡散していく現象が観察される。この加熱処理は、例えば400～450℃の温度で4時間行えばよい。

【0043】後の工程は、実施例1に示した工程と同様な工程により、薄膜トランジスタを完成させる。

【0044】〔実施例5〕実施例4では、ニッケル元素を拡散させる領域203を、非晶質化させるために、導電性を付与するイオンを加速しながら領域203に注入するようにしたが、例えば、珪素の半導体としての特性を損なわないようなイオンを注入して、領域203を非晶質化するようにしてもよい。例えば、Siイオンや、Geイオンを注入することができる。

【0045】

【発明の効果】本明細書に開示する発明は、ニッケル元素の触媒作用により、珪素膜を結晶化させるようにしたため、ガラス基板が耐え得る温度である600℃、好ましくは550℃以下のプロセス温度で結晶性珪素膜を用いた薄膜トランジスタを得ることができる。またチャンネル形成領域中の金属元素の濃度を下げることができるので、特性の安定した、高速動作が可能な結晶性の薄膜トランジスタを得ることができる。従って、液晶表示装置の基板にガラス基板を使用しても、結晶性の薄膜トランジスタにより、画素マトリクス部と、周辺回路を同一基板上に形成することができるため、装置を小型化、軽量化することができる。また、装置の性能を向上することができる。

【0046】本明細書で開示する発明は、薄膜トランジスタのみならず、その他の結晶性を有する薄膜珪素を用いたデバイスに利用することができる。

【図面の簡単な説明】

【図1】 薄膜トランジスタの作製工程を説明する上面

11

図である。

【図2】 薄膜トランジスタの作製工程を説明する上面

図である。

【図3】 薄膜トランジスタの作製工程を説明する上面

図である。

【図4】 薄膜トランジスタの作製工程を説明する断面

図である。

【図5】 薄膜トランジスタの作製工程を説明する断面

図である。

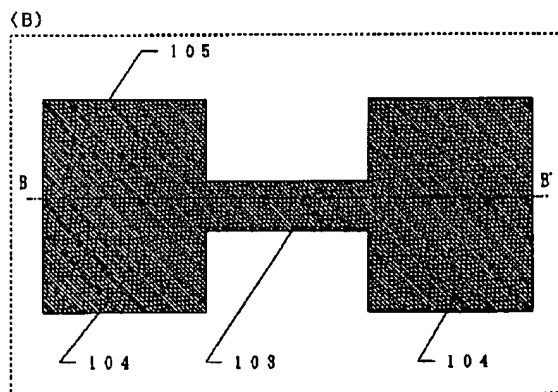
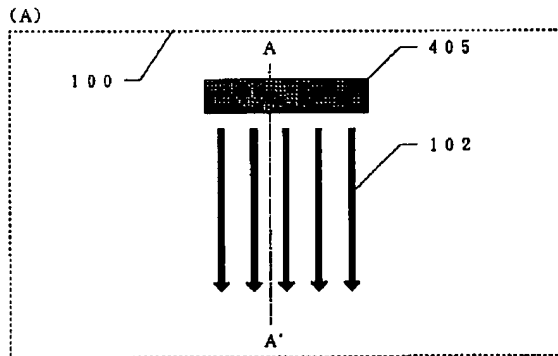
【図6】 薄膜トランジスタの作製工程を説明する上面 10

図である。

【符号の説明】

105 島状領域

【図1】



12

202

結晶化された領域

203

非晶質化された領域

301、501

ソース領域

302、502

ドレイン領域

401

ガラス基板

402

酸化珪素膜（下地膜）

403

非晶質珪素膜

404

レジストマスク

407

ゲート電極

408

酸化物層

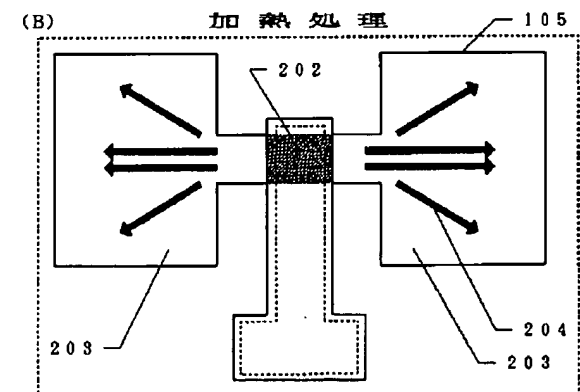
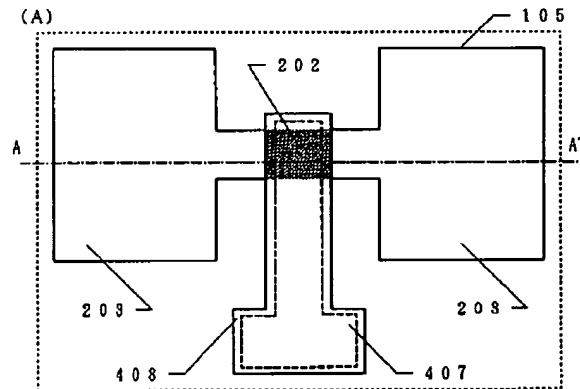
500

オフセットゲート領域

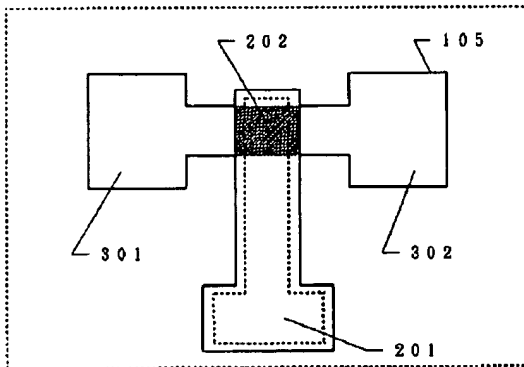
503

チャネル形成領域

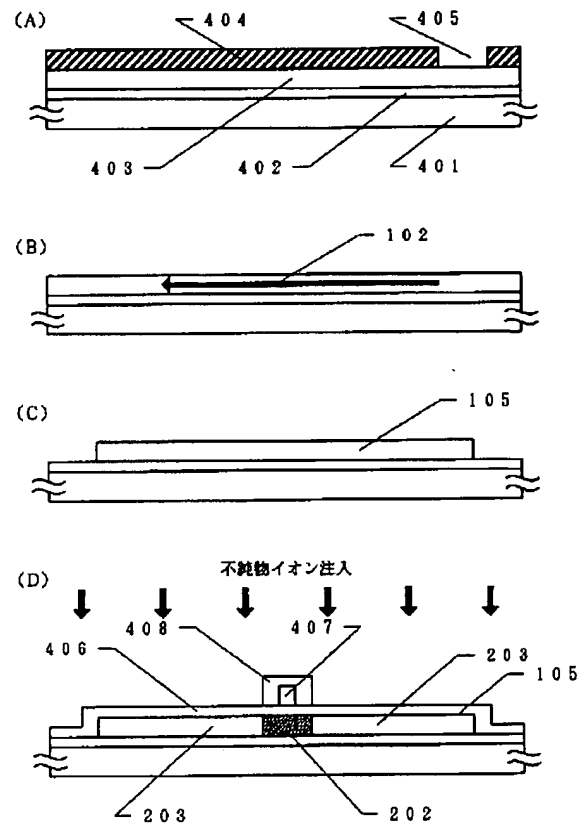
【図2】



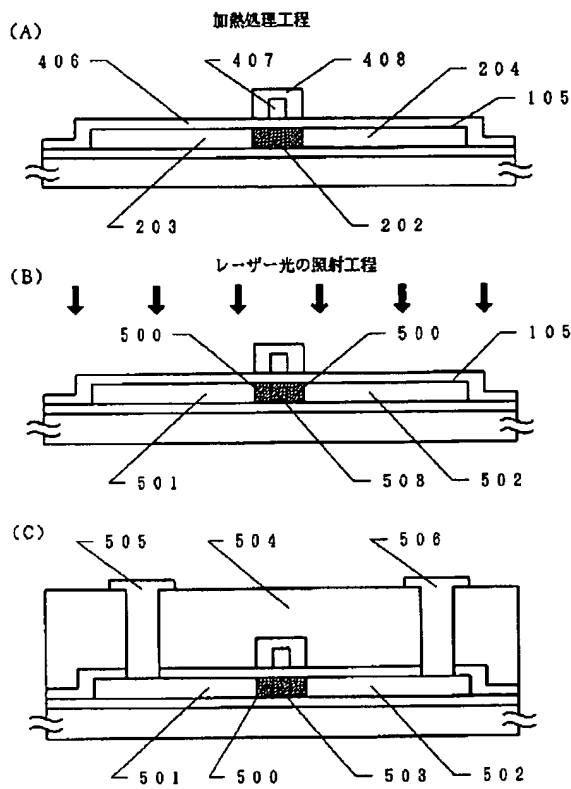
【図3】



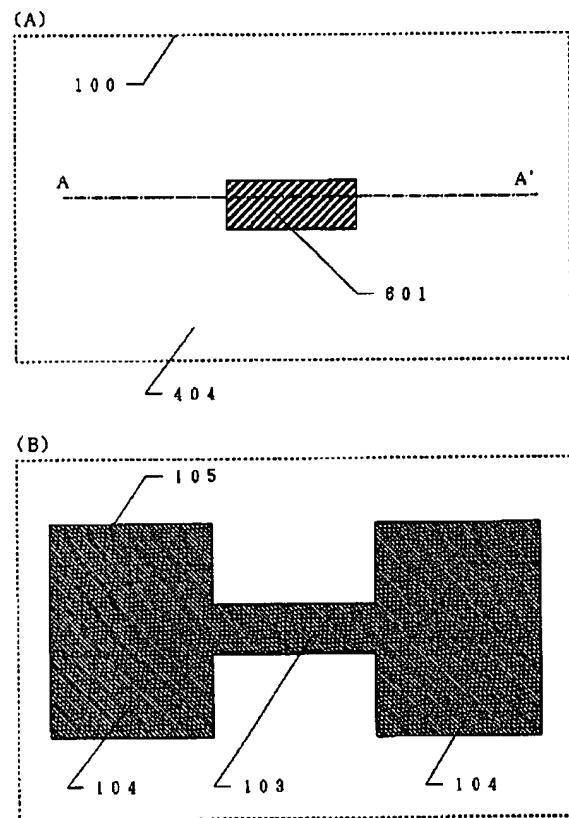
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.<sup>8</sup>  
H01L 21/336

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 寺本 聡  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

**[Detailed Description of the Invention]**

[0001]

[Industrial Application] Invention indicated on these specifications relates to a semiconductor device and its production methods, such as TFT.

[0002]

[Description of the Prior Art] In recent years, the composition which uses TFT for a liquid crystal device attracts attention. This is called active-matrix type liquid crystal display, arranges TFT, respectively to each millions or more pixels arranged in the shape of a matrix, and is characterized by controlling by TFT the charge held to each pixel. Since the display detailed at high speed is possible for a this active-matrix type liquid crystal display, it is used for the carried type word processor or the display of a computer.

[0003] Generally in an active-matrix type liquid crystal display, the TFT arranged at each pixel is constituted from an amorphous silicon film formed by the plasma CVD method, and the circumference circuit for driving the TFT of these amorphous silicon consists of external ICs.

[0004]

[Problem(s) to be Solved by the Invention] However, since the conventional example constitutes the circumference drive circuit from external IC, it is difficult to attain miniaturization of equipment, and lightweight-ization. The circumference drive circuit consists of external ICs at the TFT which used the amorphous silicon film because it cannot be made to perform operation needed for a circumference drive circuit from the lateness of the working speed. Furthermore, although a circumference drive circuit generally consists of CMOS circuits, the property compares with an N channel type the P channel type TFT constituted from an amorphous silicon film, it is a low very much, and it is also one of the causes that a CMOS circuit cannot be constituted.

[0005] The TFT which used the amorphous silicon film for the active-matrix type liquid crystal display is used because there is a heat-resistant problem of a glass substrate. Generally, since what has a translucency as a substrate needs to be used for a liquid crystal display, the quality of the material of a substrate will be limited. Generally, it has a translucency and the material with which are satisfied of the conditions that a large area thing is obtained cheaply has only glass.

[0006] However, if a glass substrate is heated at the temperature of 600 degrees C or more, since curvature and a shrinkage will become remarkable, the process from which substrate temperature becomes 600 degrees C or more is not employable. For example, a glass strain point is 593 degrees C, the curvature and shrinkage of a substrate will become large and the Corning 7059 glass substrate generally used as a substrate of an active-matrix type liquid crystal display will not be used, if heat-treatment is added above the temperature.

[0007] an amorphous silicon film -- a plasma CVD method -- easy -- a large area -- and membranes can be formed at low temperature (400 degrees C or less) Therefore, the semiconductor portion of the TFT used when a glass substrate is used in a Prior art is consisting-of-amorphous silicon films

\*\*\*\*\*

[0008] Moreover, the active-matrix type liquid crystal display using the quartz substrate as a substrate is also known for the part. In this case, since it can heat-treat at the temperature of 800 degrees C or 900 degrees C or more, TFT is producible using a crystalline silicon thin film. As compared with the TFT which consisted of amorphous silicon films, the TFT which consisted of crystalline silicon films can carry out extraordinary high-speed operation. Moreover, since the TFT which consisted of crystalline silicon films can produce a CMOS circuit, it can also arrange a circumference drive circuit on the same substrate (it is a quartz substrate in this case). Therefore, by using a quartz substrate, it becomes possible to improve the performance of a liquid crystal display, and a more detailed display and a high-speed display are attained. Moreover, while that it also becomes possible a miniaturization and to lightweightize only carries out the whole liquid crystal display, a quartz substrate cannot be carried out 10 or more times of the price of a glass substrate, and cannot be adopted [ very expensive ] from a viewpoint of economical efficiency.

[0009] The purpose of this invention is to cancel an above-mentioned trouble and offer the production method of semiconductor devices, such as TFT which has the crystalline silicon film produced by the glass substrate. That is, a crystalline silicon film is formed on a glass substrate at the temperature of 600 degrees C or less, and it is in offering the technology of obtaining TFT using this crystalline silicon film. Moreover, it sets it as other purposes to offer semiconductor devices, such as TFT which performs stable operation.

[0010]

[Means for Solving the Problem] In order to cancel an above-mentioned trouble, the composition of the production method of the semiconductor device concerning this invention In the field which has the process which forms the silicon film which has an amorphous field and the field which has crystallinity on the substrate which has an insulating front face, and the process which gives heat-treatment, and has the aforementioned crystallinity The metallic element which promotes crystallization of silicon is contained and it is characterized by making a field amorphous from the field which has the aforementioned crystallinity diffuse the aforementioned metallic element by the aforementioned heat-treatment.

[0011] In the above-mentioned composition, a glass substrate, a quartz substrate, and the glass substrate with which the insulator layer was formed and a quartz substrate can be mentioned as a substrate which has an insulating front face. Invention indicated especially on these specifications is useful when a glass substrate is used as a substrate.

[0012] The metallic element which promotes crystallization of silicon can be alternatively introduced into an amorphous silicon film, and the process which adds heat-treatment at the heating temperature of about 450-600 degrees C can be mentioned to "the process which forms the silicon film which has an amorphous field and the field which has crystallinity." In this case, the field where the field where the metallic element was introduced, or the metallic element was introduced, and its circumference can be crystallized alternatively. The upper limit of this heating temperature is restricted at the heat-resistant temperature of a substrate, i.e., a strain point. For example, when a glass substrate is used, it is appropriate for heating temperature from the field of the thermal resistance of a glass substrate, or productivity to consider as the temperature of about 550 degrees C. Moreover, when the material which can also bear temperature of 1000 degrees C or more, such as a quartz substrate, is used for a substrate, this heating temperature can also be made high in connection with heat-resistant temperature.

[0013] As a metallic element which promotes crystallization of silicon, a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au can be used. It is nickel (nickel) that the effect is notably acquired especially in these metallic elements.

[0014] In order to introduce a metallic element into an amorphous silicon film, the method of forming the thin film of a metallic element physically on an amorphous silicon film by the spatter, CVD, or the vacuum deposition and the method of applying the solution containing the metallic element on an amorphous silicon film can be mentioned. The physical formation method is difficult to form a very thin film uniformly. Therefore, since a metallic element cannot touch uniformly on an amorphous silicon film, it is tended to be unevenly distributed of a metallic element in the case of a crystal growth. On the

other hand, the method using a solution can control the concentration of a metallic element easily, and can touch the front face of an amorphous silicon film uniformly, and can make a metallic element hold. Therefore, as a method of introducing a metallic element into an amorphous silicon film, the method using a solution is more suitable than the method of forming a metal membrane physically.

[0015] In order to crystallize silicon by heat-treatment, a metallic element needs making it contain in an amorphous silicon film by three or more [  $1 \times 10^{16} \text{cm}^{-3}$  ] concentration. However, since silicide will be formed into a film when a metallic element is included by three or more [  $5 \times 10^{19} \text{cm}^{-3}$  ] concentration in an amorphous silicon film, it is not desirable. For this reason, this invention makes metallic element concentration of the field which has crystallinity three or less [  $1 \times 10^{16} \text{cm}^{-3}$  ] by what "is made for an amorphous field to diffuse the aforementioned metallic element by heat-treatment from the field which has the aforementioned crystallinity (or it is made to suck up)."

[0016] In order to diffuse a metallic element, heating temperature should just be 400 degrees C or more (if upper limits are the heat-resistant temperature of a substrate, and a glass substrate, they will be restricted by the strain point). This heat-treatment can be bisected to the method of performing at the temperature (generally 450 degrees C or less) which an amorphous field does not crystallize, and the method of performing at the temperature (generally 450 degrees C or more, preferably 500 degrees C or more) which an amorphous field crystallizes.

[0017] By heat-treating without crystallizing an amorphous field, the effect of making an amorphous field diffusing the metallic element in a crystalline field, or the effect made to suck out can be acquired. What is necessary is for heating temperature to make a metaphor 400-450 degrees C, and just to make the heating time into 5 minutes - about 10 hours. By adding heat-treatment over many hours, it can be made lower than the concentration of the metallic element of the amorphous field where the metallic element diffused the concentration of the metallic element in a crystalline field. This is because the azygos joint hand exists so much in an amorphous state. When it puts in another way, it is because the atom of silicon exists in the state of being easy to combine with a metallic element, in an amorphous silicon film. This operation can be more notably obtained, when defect density in an amorphous silicon film is artificially made [ many ]. In addition, [0018] which can also regard this operation as the extrusion effect of the metallic element by the amorphous field. On the other hand, when heat-treating at the temperature to which crystallization of an amorphous field advances and an amorphous silicon film crystallizes, diffusion of a metallic element shape[ of appearance ]-stops, and a metallic element concentrates and exists in a part for the point of a crystal growth. this invention heat-treats so that the point of a crystal growth may move out of the field which should be made an intrinsic semiconductor, and it is made for the portion which the metallic element concentrated not to exist all over the field which should be made an intrinsic semiconductor.

[0019] The barrier layer in which the composition of the semiconductor device concerning this invention has a source field, a drain field, and a channel formation field at least, The gate insulator layer formed on this barrier layer, and the gate electrode formed on this gate insulator layer, It \*\*\*\*, the metallic element which promotes crystallization of silicon is contained in the aforementioned barrier layer, and average concentration of the aforementioned metallic element in the aforementioned channel formation field is characterized by being of the same grade or lower than it as compared with the average concentration of the metallic element in the aforementioned source field and a drain field.

[0020] In a barrier layer, the semiconductor device which has the above-mentioned composition is made into the crystalline silicon field which formed the channel formation field by operation of a metallic element at least, and makes the circumference, for example, the source / drain field, and its part an amorphous silicon field. The amorphous field is made to suck out the metallic element in a crystalline silicon field by adding heat-treatment in this state (you are making it spread). Specifically, while concentration of the metallic element in a channel formation field can be made or less [  $1 \times 10^{18} \text{cm}^{-3}$  ] into three, concentration of the metallic element in a source field and a drain field can be set to  $1 \times 10^{18} \text{cm}^{-3}$  -  $5 \times 10^{19} \text{cm}^{-3}$ . In addition, the concentration of the impurity in this specification is defined by the minimum value of the value measured by SIMS (secondary ion analytical method).

[0021]

[Example]

[Example 1] this example is explained based on drawing 1 - drawing 5 . Drawing 1 -3 are a plan explaining the production process of TFT, and drawing 4 and drawing 5 are the cross sections of the TFT for every production process. As shown in drawing 4 (A), the oxidization silicon film 402 is formed by the spatter in thickness of 3000A as a ground film on a glass substrate 401. The amorphous silicon film 403 is formed in thickness of 500A by the plasma CVD method or reduced pressure heat CVD on it.

[0022] the pole which is not illustrated on the front face of the amorphous silicon film 403 by UV oxidation style -- a thin oxide film is formed UV oxidation style is the method of forming an oxide film by irradiating UV light into oxygen atmosphere or an oxidizing atmosphere. An oxide film is formed here for raising the wettability of the solution applied on the amorphous silicon film 403 at a next process. Next, a mask 404 is formed using a photoresist. The mask 404 of a resist has the opening 405 of the shape of a rectangle which has a longitudinal direction in the direction perpendicular to space. The solution containing the nickel which is the metallic element which promotes crystallization of silicon in this state is applied. Here, a nickel acetate solution is applied using the spin coat method. Consequently, in the opening 405 of the mask 404 of a resist, the state where nickel was held in contact with the front face of the amorphous silicon film 403 is realized through the oxide film which is not illustrated.

(Drawing 4 (A))

[0023] Next, it heat-treats by removing the mask 404 of a resist. What is necessary is just to let heating temperature be the range of 450 degrees C - 600 degrees C. In using a glass substrate, in order to prevent the shrinkage of a glass substrate, and deformation, it is desirable to make temperature of this heat-treatment into the temperature below the strain point of a glass substrate. In this example, heating temperature is made into 550 degrees C, and heating time is made into 4 hours.

[0024] Signs that the state which shows in drawing 4 (B) was seen from the upper surface are shown in drawing 1 (A). The cross section turned off by A-A' of drawing 1 (A) is equivalent to drawing 4 (B). As shown in drawing 1 (A), in the amorphous field 100 shown by the dotted line, the nickel element is held in contact with the opening 405 of the mask 405 of a resist. if 550 degrees C and heat-treatment of 4 hours are given -- an arrow 102 -- meeting -- a direction parallel to a substrate 401 -- a crystal -- growing up -- the crystal-growth distance -- several 10 micrometers - 100 micrometers or more -- \*\* -- it can carry out (Drawing 4 (B))

[0025] After making a crystal growth perform, patterning is carried out to a configuration drawing 1 (B) As shows the crystallized silicon film, and the island-like field 105 is formed. The cross section which cut drawing 1 (B) with B-B' is equivalent to drawing 4 (C). The island-like field 105 becomes the origin of the barrier layer of TFT. Since the crystal growth advanced alternatively along with the arrow 102 as shown in drawing 1 (A), a field 103 is a crystallized field and a field 104 is a field [ that it is still amorphous (amorphous) ].

[0026] Next, as shown in drawing 4 (D), the oxidization silicon film 406 which functions as a gate insulator layer is formed by the plasma CVD method in thickness of 1000A. The film which furthermore makes aluminum a principal component is formed in thickness of 6000A, patterning is carried out to a configuration as shown in drawing 2 (A), and the gate electrode 407 is formed. In addition, the cross section turned off by A-A' of drawing 2 (A) is equivalent to drawing 4 (D).

[0027] Next, the gate electrode 407 is anodized in an electrolyte and an oxide layer 408 is formed in the circumference of the gate electrode 407. Thickness of this oxide layer 408 is made into about 2000A. In the pouring process of next impurity ion, an offset gate field can be formed by the thickness of this oxide layer 408.

[0028] Next, impurity ion is poured into the island-like field 105 in order to form the source / drain field. Phosphorus ion is poured in in this example. drawing 4 (D) -- \*\*\*\*\* -- like, impurity ion is not poured into the field [ directly under ] of the gate electrode 407 in the field 202 shown with a slash, but it becomes a channel formation field, and in the field [ directly under ] of the anode plate oxide layer 408, since phosphorus ion is poured into low concentration, it becomes an offset gate field Moreover, as for the crystallized field 202, crystallinity is hardly spoiled by impurity ion. On the other hand, impurity ion



is poured into a field 203 at high concentration, and almost is made amorphous by the shock with which impurity ion collided. The field 203 made amorphous turns into the source / drain field behind.

Moreover, the nickel element used in order that they might promote crystallization, since the crystallized field 202 and the field of the near were equivalent to the crystallized field 103 which is shown in drawing 1 (B) exists. As compared with the nickel concentration in the opening 405 into which nickel was introduced first, about 1 figure of nickel concentration in a field 202 is low. On the other hand, the field 203 made amorphous is equivalent to the field 104, and a nickel element is hardly contained.

[0029] Next, as shown in drawing 2 (B), it heat-treats at the temperature which amorphous silicon does not crystallize, and 400-450 degrees C. Here, heat-treatment of 2 hours is performed at the temperature of 450 degrees C. Then, as an arrow 204 shows, the nickel element contained to the crystallized field 202 is spread to the field 203 made amorphous. Since the field 203 made amorphous has so much the defect which carries out the trap of the nickel, it is diffused to the field 203 made amorphous from the field 202 where nickel was crystallized (sucked out), and, finally can make nickel concentration of the crystallized field 202 1/2 or less. This heat-treatment process cannot be performed at the temperature of 450 degrees C or more. Because, when it heats at the temperature of 450 degrees C or more, it is because the phenomenon which aluminum diffuses from the gate electrode 407 which makes aluminum a principal component becomes remarkable.

[0030] Next, as shown in drawing 5 (B), a laser beam is irradiated, and while crystallizing the field 203 made amorphous by pouring of impurity ion, the poured-in impurity ion is activated. Consequently, the source field 501, the drain field 502, the channel formation field 503, and the offset gate field 500 are formed, respectively.

[0031] And as shown in drawing 5 (C), the oxidization silicon film 504 is formed in thickness of 7000A as a layer insulation film. After forming a contact hole furthermore, formation of the source electrode 505 and the drain electrode 506 is performed. TFT is completed by finally adding heat treatment into 350-degree C hydrogen atmosphere for 1 hour. (Drawing 5 (C))

[0032] In this example, the silicon film which is low temperature and was excellent in crystallinity for a short time with the catalysis of a nickel element since it was made to crystallize a silicon film can be obtained. Furthermore, since it is made to make the source / drain field diffuse the nickel element in a channel formation field, the property of TFT is not spoiled. Therefore, the crystalline TFT in which high-speed operation is possible can be obtained.

[0033] In addition, in this example, although it was made to make the source / drain fields 501 and 502 diffuse the nickel element in the channel formation field 503, as for the field which diffuses nickel, to consider as as big an area as possible is good. Thereby more many nickel elements can be diffused. In this case, what is necessary is to make the cross section of a field 203 large as much as possible, and just to carry out patterning of the field 203 to the configuration of the source / drain fields 301 and 302, as shown in drawing 3, after nickel diffuses the field 203 made amorphous by heat-treatment, as shown in drawing 2 (B). In addition, before \*\*\*\*\*ing a silicon film in this case, it is necessary to carry out patterning of the oxidization silicon film 406 which is functioning as a gate film to a predetermined configuration.

[0034] [Example 2] this example is an example at the time of constituting the gate electrode 407 from silicide of silicon or silicon, and a metal in the composition shown in an example 1. In this case, it can carry out at the more than temperature to which amorphous silicon crystallizes heat-treatment temperature at the process in drawing 5 (A), i.e., 450 degrees C. However, what is necessary is for this temperature to need to consider as the temperature below the strain point of a glass substrate, for example, just to heat it at 550 degrees C. If it heats at 550 degrees C, while the field 203 which is shown in drawing 2 (B) and which was made amorphous will be crystallized, along with the travelling direction of the crystal growth, the nickel element in the field 202 which has crystallinity is spread. It heat-treats so that the point of a crystal growth may move out of the channel formation field which should be made an intrinsic semiconductor, and it is made for the portion which the metallic element concentrated all over the channel formation field not to exist in this example. Therefore, a nickel element will be unevenly distributed in the terminal point of a crystal growth, i.e., the crystallized edge of a field 203.

[0035] Therefore, as shown in drawing 3, it is good to carry out patterning and to form the source / drain fields 301 and 302 so that the field in which nickel is unevenly distributed may be removed. In addition, before \*\*\*\*\*ing a silicon film in this case, it is necessary to carry out patterning of the oxidization silicon film 204 which is functioning as a gate film to a predetermined configuration. A next process completes TFT through the process shown in the example 1, and the same process.

[0036] [Example 3] this example is an example which is made to carry out the crystal growth of the field where the metallic element which promotes crystallization of silicon was introduced by heating, and produces TFT using the field. That the production process of TFT shown by this example differs from the production process of TFT shown in an example 1 are the relation between the field where a metallic element is introduced, and the field where crystallization is performed, and the point that the gestalten of crystallization differ further.

[0037] A process is partially shown for producing the TFT shown in drawing 6 at this example. In this example, a nickel element is first introduced into the field 601 of the slash shown in drawing 6 (A). The introductory method of a nickel element should just adopt the method of applying a nickel acetate solution like what is shown in an example 1. However, as compared with an example 1, the nickel concentration in a nickel acetate solution needs to make 1 or more figures small. This is because a crystal growth will be performed in the direction parallel to a substrate in case it is made to crystallize by heat-treatment, if the nickel acetate solution of the same nickel concentration as an example 1 is used.

[0038] What is necessary is just to perform 550 degrees C and heat-treatment of 4 hours, in order to crystallize a field 601. In this way, after crystallizing a field 601, as shown in drawing 6 (B), patterning of the field 601 is carried out, and nickel is introduced and it is made for the crystallized field to turn into the field 103 of channel formation of the barrier layer of TFT. The next process is the same as that of what was shown in the example 1.

[0039] [Example 4] In the process shown in an example 1, this example is characterized by introducing a nickel element all over an amorphous silicon film without introducing a nickel element alternatively. In this example, in the process shown in drawing 1 (A) and drawing 4 (A), it is in the state which does not form a mask (shown by 404 of drawing 4) at all, and a nickel acetate solution is applied all over the amorphous silicon film 403.

[0040] In this state, it heats for 4 hours and 550 degrees C of amorphous silicon films 403 are crystallized. Patterning of the crystallized silicon film is carried out, and as shown in drawing 1 (B) and drawing 4 (C), the island-like field 105 is formed. In the island-like field 105 whole region, the concentration of nickel becomes uniform. Therefore, the diffusion of the nickel element to the field (below a measurement limitation or a meaning called low level very much) which does not contain nickel from the field where nickel concentration like an example 1 is high is not expectable.

[0041] Therefore, the field which diffuses a nickel element is made to make it amorphous intentionally, and it heat-treats and is made to diffuse after that the field which made the nickel element in a channel formation field make it amorphous in this example.

[0042] Then, as shown in drawing 4 (D), in order to form the source / drain field, impurity ion is poured in, the source / drain field, and the becoming field 203 are made amorphous, and it is made not to make amorphous a channel formation field and the becoming field 202. If it heat-treats as shown in drawing 5 (A) and drawing 2 (B), a nickel element will move to the field 203 made amorphous from a field 202. This is because the trap of the nickel element is gradually carried out to the defect and azygos joint hand in these amorphous silicon films by many defects for the direction in an amorphous silicon film carrying out the trap of the nickel from the direction in a crystalline silicon film and azygos joint hands existing, and adding heat-treatment. That is, the phenomenon in which the nickel element is seemingly sucked out of the field 202 by the field 203 made amorphous with the ion implantation, or the phenomenon to diffuse is observed. What is necessary is just to perform this heat-treatment at the temperature of 400-450 degrees C for 4 hours.

[0043] A next process completes TFT according to the process shown in the example 1, and the same process.

[0044] [Example 5] Although it was made to pour into a field 203 in the example 4, accelerating the ion which gives conductivity in order to make the field 203 which diffuses a nickel element make it amorphous, for example, ion which does not spoil the property as a semiconductor of silicon is poured in, and it may be made to make a field 203 amorphous. For example, Si ion and germanium ion can be poured in.

[0045]

[Effect of the Invention] By the catalysis of a nickel element, since it was made to crystallize a silicon film, invention indicated on these specifications can obtain preferably 600 degrees C of TFT using the crystalline silicon film which is the temperature which a glass substrate can bear at the process temperature of 550 degrees C or less. Moreover, since the concentration of the metallic element in a channel formation field can be lowered, the crystalline TFT by which the property was stabilized and in which high-speed operation is possible can be obtained. Therefore, by crystalline TFT, even if it uses a glass substrate for the substrate of a liquid crystal display, since a circumference circuit can be formed on the same substrate with the pixel matrix section, it can miniaturize and equipment can be lightweightized. Moreover, the performance of equipment can be improved.

[0046] Invention indicated on these specifications can be used for the device using the thin film silicon which has the crystallinity of not only TFT but others.

.....  
[Translation done.]